

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-101022
(P2003-101022A)

(43) 公開日 平成15年4月4日 (2003.4.4)

(51) Int.Cl.⁷
H 0 1 L 29/78

識別記号
6 5 2
6 5 2

F I
H 0 1 L 29/78

テマコード^{*}(参考)

6 5 2 H 5 F 1 4 0
6 5 2 D
6 5 2 T
3 0 1 D

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願2001-298311(P2001-298311)

(22) 出願日 平成13年9月27日 (2001.9.27)

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 齋藤 渉

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

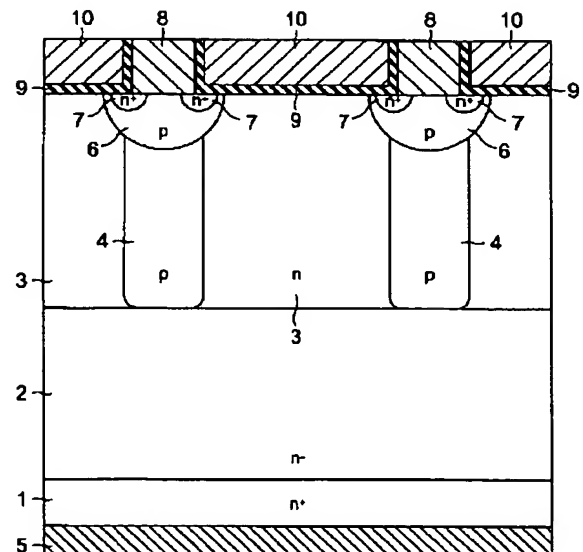
最終頁に続く

(54) 【発明の名称】 電力用半導体素子

(57) 【要約】

【課題】 スーパー Junction 構造によりオン抵抗を下げ、内蔵ダイオードの逆回復特性がソフトなリカバリ波形となるパワー MOSFET を提供する。

【解決手段】 パワー MOSFET において、n 層3と p リサーフ層4で形成される縦型スーパー Junction 構造のドレイン側に n-ドリフト層2を挿入し、高電圧を加えた時に n 層3と p リサーフ層4が完全に空乏化し、n-ドリフト層2の不純物濃度は n 層3の不純物濃度よりも低い。



【特許請求の範囲】

【請求項1】 第1導電型の第1の半導体層と、
前記第1の半導体層上に形成され、深さ方向とは直交する方向の面内で周期的に配置された第1導電型の第2の半導体層および第2導電型の第3の半導体層と、
前記第1の半導体層に電気的に接続された第1の主電極と、

前記第2の半導体層と第3の半導体層表面に選択的に形成された第2導電型の第4の半導体層と、
前記第4の半導体層の表面に選択的に形成された第1導電型の第5の半導体層と、

前記第4の半導体層および第5の半導体層の各表面に接合するように形成された第2の主電極と、
前記第4の半導体層と、第5の半導体層、第2の半導体層のそれぞれにゲート絶縁膜を介して形成された制御電極とを具備し、

前記第1の主電極と第2の主電極との間に所定の電圧を加えた時に前記第2の半導体層と第3の半導体層が完全に空乏化し、前記第1の半導体層の不純物濃度が第2の半導体層の不純物濃度よりも低いことを特徴とする電力用半導体素子。

【請求項2】 前記第1の半導体層の厚さと、前記第1の半導体層の厚さおよび前記第2の半導体層の厚さの和との比が、0.21から0.8の範囲内であることを特徴とする請求項1記載の電力用半導体素子。

【請求項3】 前記第1の半導体層は、前記第1の主電極と第2の主電極との間に定格電圧以上の電圧が加わった時に完全に空乏化することを特徴とする請求項1または2記載の電力用半導体素子。

【請求項4】 前記第1の半導体層は、前記第1の主電極と第2の主電極との間に定格電圧の半分以上の電圧が加わった時に完全に空乏化することを特徴とする請求項1または2記載の電力用半導体素子。

【請求項5】 前記第2の半導体層および前記第3半導体層の片方もしくは両方は、深さ方向において不純物濃度が一定でなく分布していることを特徴とする請求項1乃至4のいずれか1項に記載の電力用半導体素子。

【請求項6】 前記第2の半導体層と前記第3の半導体層の間に周期的に絶縁物が挿入されていることを特徴とする請求項1乃至5のいずれか1項に記載の電力用半導体素子。

【請求項7】 前記第2の半導体層もしくは前記第3の半導体層の中に絶縁物が挿入されていることを特徴とする請求項1乃至5のいずれか1項に記載の電力用半導体素子。

【請求項8】 前記第2の半導体層もしくは前記第3の半導体層の不純物濃度が横方向に一定でなく分布していることを特徴とする請求項6または7記載の電力用半導体素子。

【請求項9】 前記第2の半導体層および前記第3の半

導体層は、素子終端部においても素子中央部と同様に形成されていることを特徴とする請求項1乃至8のいずれか1項に記載の電力用半導体素子。

【請求項10】 前記第2の半導体層よりも不純物濃度が低い第1導電型の第6の半導体層が素子終端部に形成されていることを特徴とする請求項1乃至8のいずれか1項に記載の電力用半導体素子。

【請求項11】 前記第1の半導体層は、深さ方向において不純物濃度が一定でないことを特徴とする請求項1乃至8のいずれか1項に記載の電力用半導体素子。

【請求項12】 前記第1の半導体層の下部に、前記第1の半導体層およびそれより不純物濃度が高い第1導電型の第6の半導体層が横方向に交互に配置されていることを特徴とする請求項1乃至8のいずれか1項に記載の電力用半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力用半導体素子に係り、特に伝導層（ドリフト層）部分にリサーチ構造を有する電力用半導体素子に関するもので、例えば縦形パワーMOSFET、SBD（ショットキーバリアダイオード）やSIT（静電誘導型トランジスタ）、IGBT（絶縁ゲート型バイポーラトランジスタ）などに使用されるものである。

【0002】

【従来の技術】縦形パワーMOSFETにおいて、そのオン抵抗は、伝導層（ドリフト層）部分の電気抵抗に大きく依存する。このドリフト層の電気抵抗を決定するドーパ濃度は、ベースとドリフト層が形成するpn接合の耐圧に応じて限界以上には上げられない。このため、素子耐圧とオン抵抗にはトレードオフの関係が存在し、このトレードオフを改善することが低消費電力素子には重要となる。このトレードオフには素子材料により決まる限界があり、この限界を越えることが既存のパワー素子を越える低オン抵抗素子の実現への道である。

【0003】この問題を解決するパワーMOSFETの一例として、ドリフト層にスーパージャンクション（超接合）構造と呼ばれるリサーチ構造を埋め込んだ構造が知られている。

【0004】図18は、従来のパワーMOSFETの構成を模式的に示す断面図である。

【0005】このMOSFETは、n-型ドリフト層103の一方の表面にn+型ドレイン層101が形成され、このn+型ドレイン層101上にはドレイン電極105が形成されている。また、n-型ドリフト層103の他方の表面には複数のp型ベース層106が選択的（横方向に周期的）に形成され、この各p型ベース層106表面にはn+型ソース層107が選択的に形成されている。

【0006】さらに、n+型ソース層107およびp型

ベース層106からn-型ドリフト層103を介して隣りのp型ベース層106およびn+型ソース層107に至る領域上、つまり、横方向に隣り合うn+型ソース層107相互間でp型ベース層106の表面上およびn-型ドリフト層103の表面上にゲート絶縁膜109を介してゲート電極110が形成されている。また、ゲート絶縁膜109を介してゲート電極110を両側から挟むように、p型ベース層106およびn+型ソース層107の表面に接合するソース電極108が形成されている。

【0007】そして、n-型ドリフト層103の中には、p型ベース層106に接続されたp型リサーフ層104が所定の深さで縦方向に形成されており、このp型リサーフ層104とn-層103の一部が交互に横方向に繰り返す縦型リサーフ構造が形成されている。この場合、リサーフ間隔(セル幅)を狭くすることにより、n-層103の不純物濃度を増やすことが可能となり、オン抵抗が下がる。

【0008】ところで、MOSFETをスイッチング電源やインバータなどに応用する場合、MOSFETと並列に高速ダイオードを接続せずに、n-型ドリフト層103とp型ベース層106で形成される内蔵ダイオードを動作させることができる。

【0009】この場合には、MOSFETのオン特性やスイッチング特性に加えて、内蔵ダイオードの回復特性も重要な特性の一つとなる。中でも内蔵ダイオードのオン状態からオフ状態に移る逆回復特性が重要な特性となる。通常のMOSFETの内蔵ダイオード逆回復特性は、通常の高速ダイオードと逆回復電流や逆回復時間の大小はあるものの、電流波形が滑らかなソフトなリカバリー波形となる。

【0010】しかし、ドリフト層にスーパー Junction構造を有するMOSFETの内蔵ダイオード逆回復特性は、電流が急激に変化するハードなリカバリー波形となり、ノイズの原因となる。

【0011】この原因は、ドリフト層空乏化の様子の違いにある。通常のMOSFETのドリフト層は、印加電圧が大きくなると徐々に空乏化が進むが、スーパー Junction構造は、少しの印加電圧で完全に空乏するので、ドリフト層103内のキャリアが速やかになくなる。このため、内蔵ダイオードの逆回復時には、流れている電流が急激に零となるハードなリカバリー波形となってしまう。

【0012】

【発明が解決しようとする課題】上記したように従来のスーパー Junction構造を有するMOSFETの内蔵ダイオード逆回復特性は、電流が急激に変化するハードなリカバリー波形となり、ノイズの原因となるという問題があった。

【0013】本発明は上記の問題点を解決すべくなされ

たもので、スーパー Junction構造によりオン抵抗を下げつつ、内蔵ダイオードの逆回復特性がソフトなリカバリー波形となる電力用半導体素子を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の電力用半導体素子は、第1導電型の第1の半導体層と、前記第1の半導体層上に形成され、深さ方向とは直交する方向の面内で周期的に配置された第1導電型の第2の半導体層および第2導電型の第3の半導体層と、前記第1の半導体層に電気的に接続された第1の主電極と、前記第2の半導体層と第3の半導体層表面に選択的に形成された第2導電型の第4の半導体層と、前記第4の半導体層の表面に選択的に形成された第1導電型の第5の半導体層と、前記第4の半導体層および第5の半導体層の各表面に接合するように形成された第2の主電極と、前記第4の半導体層と、第5の半導体層、第2の半導体層のそれぞれにゲート絶縁膜を介して形成された制御電極とを具備し、前記第1の主電極と第2の主電極との間に所定の電圧を加えた時に前記第2の半導体層と第3の半導体層が完全に空乏化し、前記第1の半導体層の不純物濃度が第2の半導体層の不純物濃度よりも低いことを特徴とする。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、以下の実施形態では、第1導電型をn型、第2導電型をp型としている。また、図面中の同一名称の部分には同一番号を付している。

【0016】＜第1の実施形態＞図1は、本発明の第1の実施形態に係るパワーMOSFETの構成を模式的に示す断面図である。

【0017】このパワーMOSFETは、第1の半導体層であるn-型ドリフト層(以下、n-層と記す)2の一方の表面には、縦型のリサーフ構造(スーパー Junction構造)が形成されている。つまり、第2の半導体層であるn層3と第3の半導体層であるp型リサーフ層4が、それぞれ深さ方向(縦方向)に形成されるとともに深さ方向とは直交する方向(横方向)の面内で交互に繰り返すように形成されている。このように、ドリフト層は、スーパー Junction構造とn-層2の二つの領域で形成されている。

【0018】前記n-層2の他方の表面には、高濃度半導体層であるn+型ドレイン層1が形成され、このn+型ドレイン層1上には第1の主電極としてドレイン電極5が形成されている。

【0019】なお、前記n-層2とn+型ドレイン層1の形成方法は、n-層2の片面に不純物拡散をして形成しても、n+型ドレイン層1を基板としてn-層2を結晶成長しても良い。

【0020】前記スーパー Junction構造の表面に

は、第4の半導体層であるp型ベース層6が選択的（横方向に周期的、平面ストライプ形状）に形成され、このp型ベース層6の表面には第5の半導体層であるn+型ソース層7が選択的、且つ、平面ストライプ形状に拡散形成されている。この場合、p型ベース層6の中央部の下部に前記p型リサーフ層4が形成されている。

【0021】ここで、p型ベース層6は、一例として、約 $3 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度で、約 $2.0 \mu\text{m}$ の深さに形成され、n+型ソース層7は、一例として、約 $1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度で、約 $0.2 \mu\text{m}$ の深さに形成されている。

【0022】さらに、n+型ソース層7およびp型ベース層6からn層3を介して隣りのp型ベース層6およびn+型ソース層7に至る領域上、つまり、横方向に隣り合うn+型ソース層7相互間でp型ベース層6の表面上およびn層3の表面上に、膜厚約 $0.1 \mu\text{m}$ のゲート絶縁膜（例えばSi酸化膜）9を介して第1の制御電極としてゲート電極10が平面ストライプ形状に形成されている。

【0023】また、ゲート絶縁膜9を介してゲート電極10を両側から挟み、p型ベース層6およびn+型ソース層7の表面に接合するように第2の主電極としてソース電極8が平面ストライプ形状に形成されている。

【0024】600V系素子の設計の一例として、n+型ドレイン層1は、不純物濃度が約 $6 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $200 \mu\text{m}$ 、n-型層2は、不純物濃度 $5 \times 10^{14} \text{ cm}^{-3}$ 、厚さ $26 \mu\text{m}$ とする。

【0025】また、スーパージャンクション構造を形成するn層3とp型リサーフ層4は、不純物濃度 $2 \times 10^{15} \text{ cm}^{-3}$ 、厚さ $20 \mu\text{m}$ 、幅 $8 \mu\text{m}$ とする。この設計例では、スーパージャンクション部とn-層2部でそれぞれ300Vずつの耐圧を分担している。n-層2の厚さを厚くすれば、n-層2での耐圧分担は多くなり、オン抵抗は増加し、n-層2の厚さを薄くすれば、オン抵抗は低くなる。

【0026】図2は、図1中のn-層2の厚さ L_{n-} とドリフト層全体の厚さ $(L_{sj}+L_{n-})$ の比 $L_{n-}/(L_{sj}+L_{n-})$ に対するオン抵抗 R_{on} の変化を示す。

【0027】図3は、図1中のn-層2の厚さ L_{n-} がドリフト層全体の厚さ $(L_{sj}+L_{n-})$ の比 $L_{n-}/(L_{sj}+L_{n-})$ に占める割合が変化した場合の内蔵ダイオード逆回復特性を示す。

【0028】図2において、厚さの比 $L_{n-}/(L_{sj}+L_{n-})$ が零ならば、ドリフト層の全てがスーパージャンクション構造であることとなり、厚さの比 $L_{n-}/(L_{sj}+L_{n-})$ が1ならば、通常のMOSFET構造である。

【0029】図3において、スーパージャンクション構造の場合の逆回復特性は、電流が急激に零となるハードナリカバリー波形になっているのに対して、通常のMOS構造では緩やかに電流が減少するソフトナリカバリー

波形になっている。

【0030】図2に示すように、厚さの比 $L_{n-}/(L_{sj}+L_{n-})$ が小さいほどオン抵抗 R_{on} は低くなる。つまり、オン抵抗 R_{on} のみに注目すると、n-層2の占める割合を小さくする程良い。

【0031】しかし、図3に示すように、内蔵ダイオードの逆回復特性は、n-層2の占める割合が大きいはど、通常のMOS構造の場合の特性に近づき、ソフトナリカバリー波形となる。

【0032】図4は、図1中のn-層2の厚さ L_{n-} がドリフト層全体の厚さ $(L_{sj}+L_{n-})$ の比 $L_{n-}/(L_{sj}+L_{n-})$ に占める割合が変化した場合の図3に示した逆回復時電流特性（ソフトナリカバリー波形）の傾斜の変化を示す。

【0033】n-層2の厚さ L_{n-} が占める割合が0.21を越えると、スーパージャンクション構造のみのMOSFETよりも逆回復電流の傾斜が小さくなり、n-層2の厚さ L_{n-} が占める割合が0.8程度で通常のMOSFETとほぼ同等となる。

【0034】これより、オン抵抗 R_{on} を下げつつ、ソフトナリカバリー波形となる内蔵ダイオードの実現には、n-層2の厚さ L_{n-} の割合を0.21から0.8の範囲内とすることが望ましい。

【0035】また、本実施形態のようなn-層2の挿入は、順方向安全動作領域の拡大にも効果があることについて、以下に説明する。

【0036】図5は、図1に示したパワーMOSFETのゲート電圧 V_g を閾値電圧 $V_{th} + 3V$ とした場合の電流-電圧特性を示す。

【0037】スーパージャンクション構造のMOSFETでは600V程度で電流が急激に増加するのに対して、通常のMOSFETでは700V程度で電流が増加し、通常のMOS構造の方が安全動作領域は100V程度広い。この理由は、高電圧印加時のドレイン近傍の層電界が、スーパージャンクション構造では通常のMOSFET構造に比べて高くなるからである。

【0038】n-層2を挿入することにより、高電圧印加時のドレイン近傍の層電界を減少することができるので、安全動作領域を広げることが可能となる。n-層2が占める割合を多くすると、通常のMOS構造に近づき、安全動作領域は広がっていく。

【0039】また、本実施形態のようなn-層2の挿入は、製造上も効果があることについて、以下に説明する。

【0040】n-層2が占める割合が多い程、複雑な構造であるスーパージャンクション構造の厚さが減るので、製造も容易となる。例えば、スーパージャンクション構造の厚みが同じであってn-層2の厚みの違うウェハを用意すれば、異なる耐圧の素子を同じ製造工程で実現することが可能となる。

【0041】即ち、本実施形態のパワーMOSFETに

よれば、スーパージャンクション構造の一部をなすn層3の不純物濃度よりも、スーパージャンクション構造の下層のn層2の不純物濃度が低い。これにより、ドレイン電極5とソース電極8との間に高電圧を加えた時には、スーパージャンクション構造をなすn層3とp型リサーフ層4が完全に空乏化した後も、空乏層がn層2内に徐々に伸びるので、内蔵ダイオードの逆回復特性を通常ダイオードに近いソフトな特性に近づけることが可能となる。

【0042】<第2の実施形態>図6(a)乃至(d)は、本発明の第2の実施形態に係るパワーMOSFETの断面構造の一部とドリフト層深さ方向における不純物プロファイルと高電圧印加時の電界強度分布を示している。

【0043】図6(a)に示す第2の実施形態に係るパワーMOSFETにおいても、図1に示した第1の実施形態に係るパワーMOSFETと同様に、ドリフト層はスーパージャンクション構造とn層2の二つの領域で形成されている。

【0044】そして、ドリフト層の不純物濃度は、第1の実施形態に係るパワーMOSFETと同様に、例えば図6(b)に示すように、n層2よりもスーパージャンクション構造部の方が高くなっている。

【0045】スーパージャンクション構造とn層2とは電界強度分布が異なる。スーパージャンクション構造では、低電圧で完全に空乏化してしまうので、等価的に不純物濃度が低い層となり、電界強度分布は平坦となる。

【0046】これに対して、n層2では、空乏化がスーパージャンクション構造側から徐々に進むので、電界強度は傾斜する。この場合、n層2の不純物濃度が低ければ、n層2の空乏化が速やかに起こるので、n層2の電界強度分布はスーパージャンクション構造部と同様に平坦に近くなる。これに対して、n層2の不純物濃度が高ければ、n層2の空乏化が進まなくなるので、n層2の電界強度分布の傾斜がきつくなる。

【0047】内蔵ダイオードの逆回復特性をソフトなリカバリー波形にするためには、通常MOSFETと同様に、n層2の空乏化が徐々に進むようにn層2の濃度を設計する必要がある。

【0048】この場合、n層2の濃度を低くしすぎると、空乏層がn層1にすぐに到達してしまうので、n層2を挿入した効果がなく、n層2での抵抗が大きくなり、オン抵抗 R_{on} が増加してしまう。これに対して、n層2の不純物濃度を高くすると、空乏層が伸び難くなるので、n層2を挿入した効果が薄くなるが、オン抵抗 R_{on} は低い。

【0049】600V系素子の設計例を挙げると、スーパージャンクション部の厚さを $10\mu\text{m}$ とし、n層2の厚さを $39\mu\text{m}$ 、n層2の不純物濃度を $3.3 \times 10^{14} \text{cm}^{-3}$ とすると、オン抵抗 R_{on} は $72 \text{m}\Omega \text{cm}$ (通常のMOSFETより低い)となり、内蔵ダイオードの特性は通常MOSFETとほぼ同様な特性を得ることが可能である。

【0050】また、スーパージャンクション部の厚さを $30\mu\text{m}$ とし、n層2の厚さを $13\mu\text{m}$ 、n層2の不純物濃度を $1 \times 10^{13} \text{cm}^{-3}$ とすると、オン抵抗 R_{on} は $35 \text{m}\Omega \text{cm}$ となり、スーパージャンクションMOSFETとほぼ同等なオン抵抗 R_{on} を保ちながら、内蔵ダイオードのリカバリー特性をソフトにすることが可能である。

【0051】オン抵抗 R_{on} を低く保ちつつソフトなリカバリー波形を実現するには、n層2の不純物濃度として、2つの主電極間に定格電圧を加えた時に図6(d)に示すようにドリフト層が完全に空乏化するように設定することが望ましい。そして、素子耐圧をスーパージャンクション構造とn層2で分担する様に設計を行う。

【0052】n層2の部分の抵抗と耐圧の関係は通常MOSFETのオン抵抗/耐圧トレードオフと同様であるので、n層2の最適な不純物濃度は、定格電圧を印加した時にドリフト層が完全に空乏化する程度の不純物濃度となる。そして、このような濃度とすれば、定格電圧まで徐々に空乏化が進むので、内蔵ダイオードのリカバリー波形もソフトなものとなる。

【0053】なお、前記した定格電圧印加時にn層2が完全に空乏化していないことが望ましいが、通常、電源電圧を定格電圧の半分程度として使用すると、素子には定格電圧の半分程度の電圧しか加わらないので、定格電圧の半分が加わった時点でn層2が完全に空乏化しなければ、前記とほぼ同様の効果が得られる。

【0054】また、n層2の裏面からの拡散によりn層1を形成した場合やn層2の表面からの拡散によりスーパージャンクション構造を形成した場合などには、n層2の不純物濃度の分布は、図6(b)に示すような矩形の分布でなく、図6(c)に示すような緩やかな分布となるが、不純物濃度の大小関係が、n層1>スーパージャンクション部のn層3>n層2となっていれば、前記とほぼ同様な効果が得られる。

【0055】この場合、スーパージャンクション構造のpリサーフ層4との接合からn層1に近づいてスーパージャンクション部と同等な不純物濃度まで上がったところまでをn層2の厚さとし、この厚さ部分の平均濃度をn層2の不純物濃度として設計すれば、n層2の不純物濃度の分布を矩形とした場合とほぼ同等の効果が得られる。

【0056】<第3の実施形態>図7(A)乃至(F)は、本発明の第3の実施形態に係るパワーMOSFETの製造工程を模式的に示すプロセスフローである。

【0057】ここでは、図1中と同一部分の詳しい説明は省略し、異なる部分についてのみ説明する。n+基板

1上にn層2とn層3が形成されたウェハ上に例えばボロンイオンの注入を行い、選択的にp層を形成する。その後、p層を埋め込むエピタキシャル成長を行い、再度イオン注入により選択的にp層を形成する。そして、先に埋め込まれたp層と上部のp層とを接続させるようにアニールにより拡散を行い、pリサーフ層4を形成する。その後、表面にMOS構造を形成するプロセスなどを行い、図1に示した第1の実施形態に係るパワーMOSFETとほぼ同様の構造のMOSFETを完成する。

【0058】このような工程によりスーパージャンクション構造を形成すると、不純物濃度が深さ方向に一定でなく分布する。

【0059】なお、前記p層の埋め込み工程を複数回繰り返すことによりスーパージャンクション構造を厚くすることが可能である。また、n+基板1上にn層2が形成されたウェハ上に、pリサーフ層4と同様にイオン注入によりn層3を形成することも可能である。

【0060】<第4の実施形態>図8は、本発明の第4の実施形態に係るパワーMOSFETの断面構造を模式的に示したものである。

【0061】第4の実施形態に係るパワーMOSFETは、図1に示した第1の実施形態に係るパワーMOSFETと比べて、スーパージャンクション構造の基本単位となるpリサーフ層4とn層3の間に絶縁物11がn層2に達する深さで挿入されている点が異なり、ドリフト層がスーパージャンクション構造とn層2の二つの領域で形成されているなどの基本構造は同じである。

【0062】図9(A)乃至(F)は、図8の構造を形成するプロセスフローを示す。

【0063】まず、n+基板1上にn層2とn層3が形成されたウェハ表面からエッチングを行ってトレンチ溝を形成する。その後、斜め方向から例えばボロンイオンの注入を行い、トレンチ溝側壁にpリサーフ層4を形成する。その後、トレンチ溝内を絶縁物11で埋め込み、表面にMOS構造を形成するプロセスなどを行い、図8に示したパワーMOSFETを完成する。

【0064】このような工程によりスーパージャンクション構造を形成すると、絶縁物11が横方向に周期的に形成されているので、不純物濃度が横方向に一定でなく分布する。なお、トレンチ溝の埋め込み材に低濃度半導体もしくは、絶縁物と半導体を組み合わせても電氣的に問題はない。埋め込み材に用いる半導体は、単結晶半導体でも多結晶半導体でもよい。

【0065】また、図8に示したパワーMOSFETのトレンチ溝は、n層2に到達する程度に形成されているが、n+層1に到達する深さまで形成してもよい。

【0066】なお、n+基板1上にn層2が形成されたウェハ上に、pリサーフ層4と同様にイオン注入によりn層3を形成することも可能である。

【0067】<第4の実施形態の変形例1>図10は、

本発明の第4の実施形態の変形例に係るパワーMOSFETの断面構造を模式的に示したものである。

【0068】このパワーMOSFETは、図8に示した第4の実施形態に係るパワーMOSFETと比べて、絶縁物11が各pリサーフ層4の横方向中心部に形成されている点が異なり、その他の基本構造は同じである。

【0069】図10に示す構造では、スーパージャンクション構造のセル幅が図8に示す構造の半分となり、スーパージャンクション部のオン抵抗を半分とすることが可能となる。

【0070】図10の構造を形成するプロセスフローは、前述した図8の構造を形成するプロセスフローのうちで図9(C)に示したトレンチ溝側壁に対する斜め方向からのイオン注入を、トレンチ溝側壁の両面に対応して両方向から行ってトレンチ溝側壁の両面にpリサーフ層4を形成するように変更すればよい。

【0071】<第4の実施形態の変形例2>図9に示したプロセスフローにおいて、トレンチ溝を形成した後、エピタキシャル成長によりpリサーフ層4を溝内に形成してスーパージャンクション構造を形成することも可能である。pリサーフ層4の埋め込み成長を溝内が完全に埋め込まれる前に止め、その後絶縁物で溝内を完全に埋め込むことにより結晶成長界面を安定化させることも可能である。

【0072】また、斜め方向からのイオン注入とトレンチ溝内の埋め込み成長を組み合わせたプロセスでもスーパージャンクション構造は形成可能である。

【0073】<第5の実施形態>図11(a)乃至(c)は、本発明の第5の実施形態に係るパワーMOSFETの断面構造の一部とドリフト層深さ方向における不純物プロファイルを示している。

【0074】この実施形態に係るパワーMOSFETは、図6に示した第2の実施形態に係るパワーMOSFETと比べて、スーパージャンクション構造の下層が二段階の濃度のn層2とn層2aで構成されている(n層2の下部がn層2aとなっている)、つまり、n層2とn層2aとn+ドレイン層1の不純物濃度が段階的に変化している点が異なり、その他の構造は同じである。

【0075】この場合、n層2の濃度は、スーパージャンクション構造のn層3の濃度より低いことが望ましく、n層2aの濃度は、n層2の濃度とn+層1の濃度との中間であって、スーパージャンクション構造のn層3の濃度と同程度から3倍程度がよい。

【0076】このようにn層2aを有することにより、製造時に空乏層の広がる領域の制御が容易であり、かつ、n層2aはn+ドレイン層1に比べて濃度が低いので、内蔵ダイオードのリカバリー特性をソフトにすることができ、

【0077】なお、上記例では、スーパージャンクシ

ン構造の下層の n -層2の濃度を2段階に変化させたが、それ以上の段階に変化させてもよく、また、不純物濃度が徐々に変化していくように濃度勾配を持たせるようにしてもよい。

【0078】<第6の実施形態>図12(a)乃至(c)は、本発明の第6の実施形態に係わるパワーMOSFETの断面構造の一部とドリフト層深さ方向における不純物プロファイルを示している。

【0079】この実施形態に係るパワーMOSFETは、図6に示した第2の実施形態に係るパワーMOSFETと比べて、スーパージャンクション構造の下層が二段階の濃度の n 層2aと n -層2で構成されている(n -層2の上部が n 層2aとなっている)、つまり、 n 層2aと n -層2と n +ドレイン層1の不純物濃度が段階的に変化している点が異なり、その他の構造は同じである。

【0080】この場合、 n -層2の濃度は、スーパージャンクション構造の n 層3の濃度より低いことが望ましく、 n 層2aの濃度は、 n -層2の濃度と n +層1の濃度との中間であって、スーパージャンクション構造の n 層3の濃度と同程度から3倍程度がよい。

【0081】このように n 層2aを有することにより、スーパージャンクション構造部より広がる空乏層が n 層2aへ広がりに難くなる。そして、 n 層2aの下部の n -層2を緩やかに空乏化させることができるので、内蔵ダイオードのリカバリー特性をソフトにすることに寄与する。

【0082】なお、上記例では、スーパージャンクション構造の下層の n -層2の濃度を2段階に変化させたが、それ以上の段階に変化させてもよく、また、不純物濃度が徐々に変化していくように濃度勾配を持たせるようにしてもよい。

【0083】<第7の実施形態>図13は、本発明の第7の実施形態に係るパワーMOSFETの断面構造を模式的に示したものである。

【0084】この実施形態に係るパワーMOSFETは、図1に示した第1の実施形態に係るパワーMOSFETと比べて、 n -層2の下部に、 n -層2より不純物濃度が高い n +層17が横方向に間欠的に配置されている、つまり、 n -層2の下部に、 n -層2および n +層17が横方向に交互に配置されており、 n +層17は n +ドレイン層1と高濃度で接している点が異なり、その他の構造は同じである。

【0085】このように n +層17を有することにより、 n -層2と n +ドレイン層1との界面領域に凹凸形状が設けられ、凹部には内蔵ダイオードのリカバリー電流に寄与する正孔キャリアが多く蓄積され、逆回復後に緩やかに空乏層を流れるようになるので、リカバリー特性をソフトにすることが可能になる。また、 n -層2の厚さが同じ場合には、その深さ方向に占める n +層17

の割合が大きい方が、オン抵抗を低くすることが可能になる。

【0086】図14(A)乃至(D)は、図13の構造を形成するプロセスフローを示す。

【0087】 n +基板1上に n -層2が形成されたウェハ上に例えばリンイオンの注入を行い、選択的に n +層を形成する。その後、上記 n +層を埋め込むエピタキシャル成長を行い、アニール処理を行って n +基板1と接続させることにより、 n +層17が形成される。この後、第3の実施形態あるいは第4の実施形態で示したようなプロセスフローを用いることにより、ウェハ表面にスーパージャンクション構造を形成し、さらに、MOS構造を形成するプロセスなどを行い、図13に示した第7の実施形態に係るパワーMOSFETを完成する。

【0088】なお、 n -層2と n +層17を横方向に交互に配置して形成する工程は、上記例に限らず、 n +基板1に選択的にトレンチ溝を形成し、それに n -層を埋め込むようにしても可能である。

【0089】また、 n +層17を横方向に配置する周期は、スーパージャンクション構造の周期と同じでなくてもよく、 n +層17の横方向の幅もスーパージャンクション構造のピッチと無関係でもよい。

【0090】<第8の実施形態>図15は、本発明の第8の実施形態に係るパワーMOSFETの構成を模式的に示す断面図である。

【0091】このMOSFETは、素子中央部は前記各実施形態に係るパワーMOSFETと同様に形成されており、素子終端部は、素子中央部と同様にスーパージャンクション構造が形成され、その上に絶縁膜12を介して金属もしくは導電性膜からなるフィールドプレート13が形成された構造を有する。そして、素子最外周には、空乏化を止めるフィールドストップ n 層14が形成されている。

【0092】このような構成によれば、高電圧印加時には、フィールドプレート13の作用により、素子終端部のスーパージャンクション構造部が速やかに空乏化して等価的に低不純物濃度層となるので、素子終端部の電界集中が抑制され、耐圧が保持される。また、終端部表面にリサーフ層4を形成しても、フィールドプレート13と同様にスーパージャンクション部が速やかに空乏化し、上記と同様な効果が得られる。

【0093】<第9の実施形態>図16は、本発明の第9の実施形態に係るパワーMOSFETの構成を模式的に示す断面図である。

【0094】このMOSFETは、素子中央部は前記各実施形態に係るパワーMOSFETと同様に形成されており、素子終端部は、スーパージャンクション構造が形成されないで n -層15が形成されており、その表面にはガードリング16が形成されている。

【0095】このような構成によれば、 n -層15の不

10

20

30

40

50

純物濃度を十分に低く設定することにより、横方向の電界が緩和され、素子終端部での耐圧低下が抑制される。
n-層 15 を速やかに空乏化させるためには、その不純物濃度を n-層 2 の不純物濃度よりも低くすることが望ましい。

【0096】<第 10 の実施形態>図 17 は、本発明の第 10 の実施形態に係るパワー MOSFET の構成を模式的に示す断面図である。

【0097】この MOSFET は、横型素子にスーパー
ジャンクション構造を適用したものである。図 17 において、n+ドレイン層 1 上に低不純物濃度層 15 が形成され、この低不純物濃度層 15 の表面に選択的（横方向に周期的）に p 型リサーフ層 4 および n-ドリフト層 2 が形成されている。

【0098】前記 p 型リサーフ層 4 の表面に n 層 3 が形成されることによりスーパージャンクション構造が形成されている。このスーパージャンクション構造の表面には、p 型ベース層 6 が選択的に形成され、この p 型ベース層 6 の表面には n+型ソース層 7 が選択的に拡散形成されている。

【0099】さらに、n+型ソース層 7 から p 型ベース層 6 を介して n 層 3 に至る表面上にはゲート絶縁膜 9 を介して第 1 の制御電極としてゲート電極 10 が形成されている。

【0100】また、n+ドレイン層 1 の表面に接合するように、前記ゲート電極 10 との間の領域（n 層 3 の表面の一部から n+ドレイン層 1 の表面の一部に至る領域）に絶縁膜 9a を介して第 1 の主電極としてドレイン電極 5 が形成されている。

【0101】また、p 型ベース層 6 および n+型ソース層 7 の表面に接合するように、前記ゲート電極 10 との間にゲート絶縁膜 9 を介して第 2 の主電極としてソース電極 8 が形成されている。

【0102】上記したように横型素子にドリフト層にスーパージャンクション構造を用いた場合にも、縦型素子と同様にオン抵抗を低減できるが、内蔵ダイオードのリカバリー特性がハードとなる。そこで、n+ドレイン層 1 とスーパージャンクション構造の間に n-層 2 を挿入することで、低オン抵抗を保ちつつ、ソフトなリカバリー特性とすることが可能となる。

【0103】図 17 では、スーパージャンクション構造の p/n セルを 1 段で形成しているが、2 段以上で形成して実施することも可能である。また、図 17 では、スーパージャンクション構造の p/n セルを積層して形成しているが、p/n セルを平面方向に形成して実施することも可能である。

【0104】また、図 17 では、n+ドレイン層 1 をウェハ下部に形成しているが、n+ドレイン層 1 は無くとも実施可能である。また、ウェハを SOI (Silicon on insulator) ウェハとしても実施可能であり、この場合

は、低不純物濃度層 15 が不要となる。

【0105】また、MOS ゲート構造をトレンチゲートとし、スーパージャンクション構造を複数段積み重ねることで層面積を増やすことにより、オン抵抗を低減することが可能となる。

【0106】なお、本発明は前記各実施形態に限定されるものではなく、各種の変形実施が可能である。即ち、第 1 の導電性を p 型、第 2 の導電性を n 型としても実施することも可能である。

【0107】また、縦型リサーフ構造の p 層の平面パターンは、前記ストライプ状に限らず、格子状や千鳥状に形成してもよい。また、p 型ベース層および n+型ソース層の平面パターンも、前記ストライプ状に限らず、格子状および千鳥状に形成してもよく、ストライプ状に形成する場合には、スーパージャンクション構造と平行に限らず、直交するように形成してもよい。また、MOS ゲート構造は、前記プレナー構造に限らず、トレンチ構造でも実施可能である。

【0108】また、前記各実施形態では半導体としてシリコン (Si) を用いた MOSFET を説明したが、半導体としては、例えばシリコンカーバイド (SiC) や窒化ガリウム (GaN) 等の化合物半導体を用いることができる。

【0109】また、前記各実施形態ではスーパージャンクション構造を有する MOSFET で説明したが、縦型リサーフ構造を有する素子であれば、SBD や SIT、IGBT などの素子でも本発明を適用可能である。

【0110】

【発明の効果】上述したように本発明の電力用半導体素子によれば、低オン抵抗を保持しつつ、内蔵ダイオードがソフトなリカバリー特性を持つようにすることができ

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係るスーパージャンクション構造を有する縦型パワー MOSFET の断面構造を模式的に示した図。

【図 2】図 1 中の n-層 2 の厚さ L_n とドリフト層全体の厚さ $(L_{sj}+L_n)$ の比 $L_n/(L_{sj}+L_n)$ に対するオン抵抗 R_{on} の変化を示す特性図。

【図 3】図 1 中の n-層 2 の厚さ L_n がドリフト層全体の厚さ $(L_{sj}+L_n)$ の比 $L_n/(L_{sj}+L_n)$ に占める割合が変化した場合の内蔵ダイオード逆回復特性を示す特性図。

【図 4】図 1 中の n-層 2 の厚さ L_n がドリフト層全体の厚さ $(L_{sj}+L_n)$ の比 $L_n/(L_{sj}+L_n)$ に占める割合が変化した場合の図 3 に示した逆回復時電流特性（ソフトなリカバリー波形）の傾斜の変化を示す特性図。

【図 5】図 1 に示したパワー MOSFET のゲート電圧 V_g を閾値電圧 $V_{th} + 3V$ とした場合の電流-電圧特性を示す。

【図 6】本発明の第 2 の実施形態に係るパワー MOSF

ETの断面構造の一部とドリフト層深さ方向における不純物プロファイルと高電圧印加時の電界強度分布を示す図。

【図7】本発明の第3の実施形態に係わるパワーMOSFETの製造工程を模式的に示す断面図。

【図8】本発明の第4の実施形態に係わるパワーMOSFETの構成を模式的に示す断面図。

【図9】図8の構造の製造工程を模式的に示す断面図。

【図10】本発明の第4の実施形態の変形例に係わるパワーMOSFETの構成を模式的に示す断面図。

【図11】本発明の第5の実施形態に係わるパワーMOSFETの断面構造の一部とドリフト層深さ方向における不純物プロファイルを示す図。

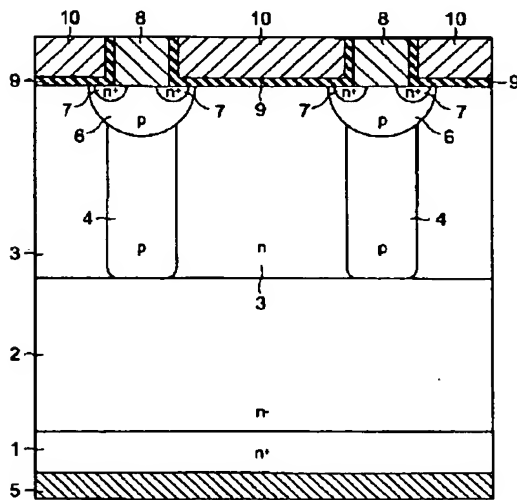
【図12】本発明の第6の実施形態に係わるパワーMOSFETの断面構造の一部とドリフト層深さ方向における不純物プロファイルを示す図。

【図13】本発明の第7の実施形態に係わるパワーMOSFETの断面構造を模式的に示す断面図。

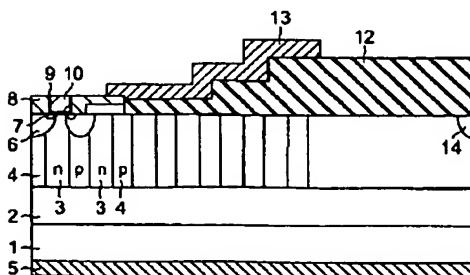
【図14】図13の構造を形成するプロセスフローを示す断面図。

*20

【図1】



【図15】



*【図15】本発明の第8の実施形態に係わるパワーMOSFETの構成を模式的に示す断面図。

【図16】本発明の第9の実施形態に係わるパワーMOSFETの構成を模式的に示す断面図。

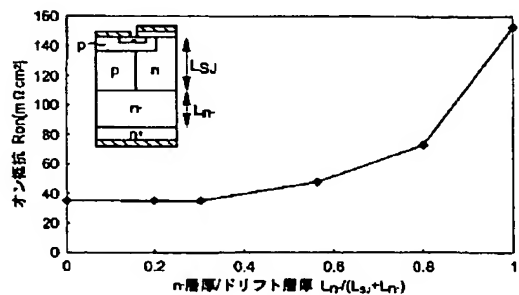
【図17】本発明の第10の実施形態に係わるパワーMOSFETの構成を模式的に示す断面図。

【図18】従来のパワーMOSFETの構成を模式的に示す断面図。

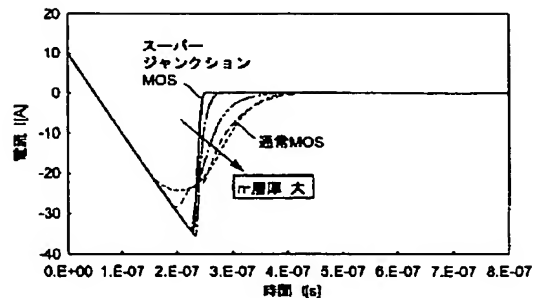
【符号の説明】

- 10 1…n+型ドレイン層、
2…n-型層（第1の半導体層）
3…n層（第2の半導体層）
4…p型リソース層（第3の半導体層）、
5…ドレイン電極（第1の主電極）、
6…p型ベース層（第4の半導体層）、
7…n+ソース層（第5の半導体層）
8…ソース電極（第2の主電極）
9…Si酸化膜（ゲート絶縁膜）、
10…ゲート電極（第1の制御電極）。

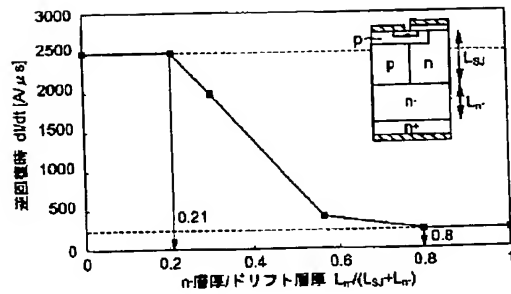
【図2】



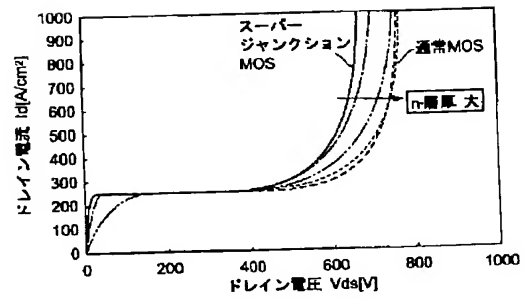
【図3】



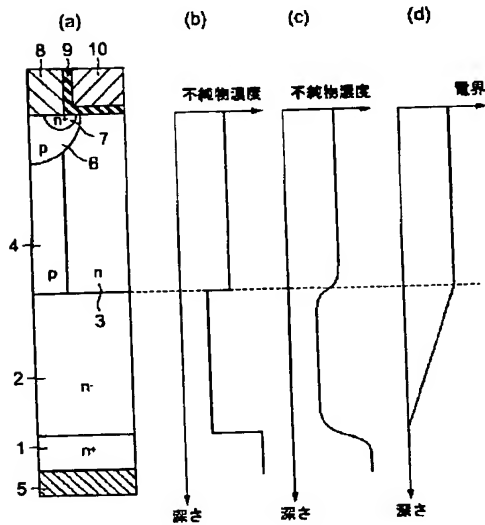
【図4】



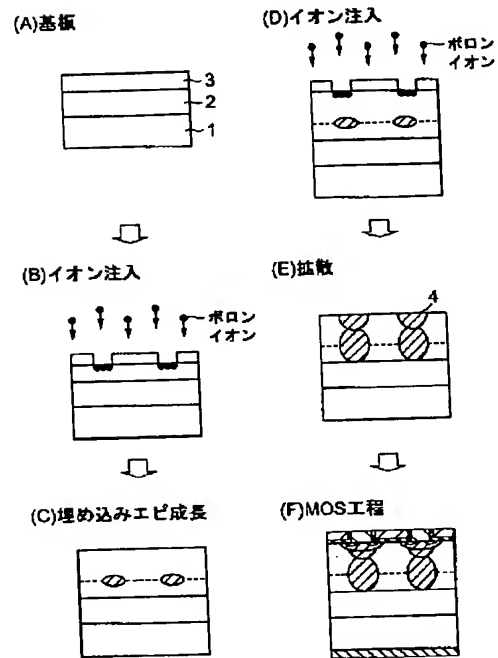
【図5】



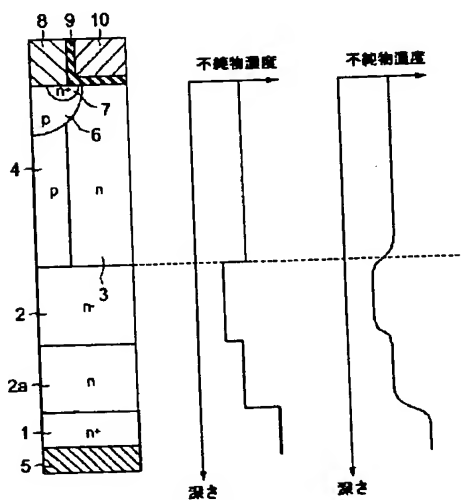
【図6】



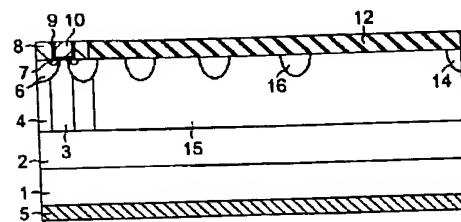
【図7】



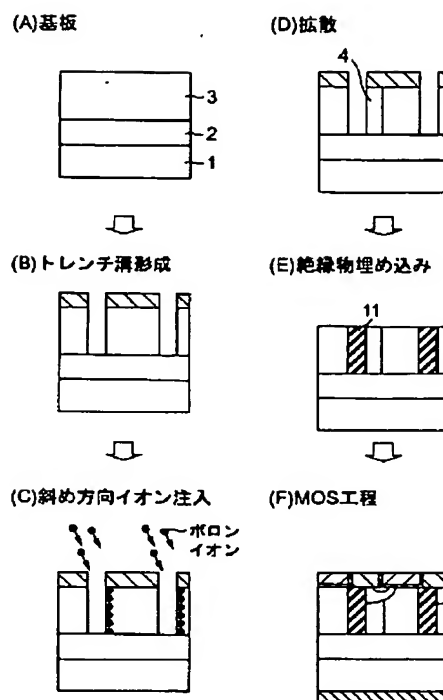
【図11】



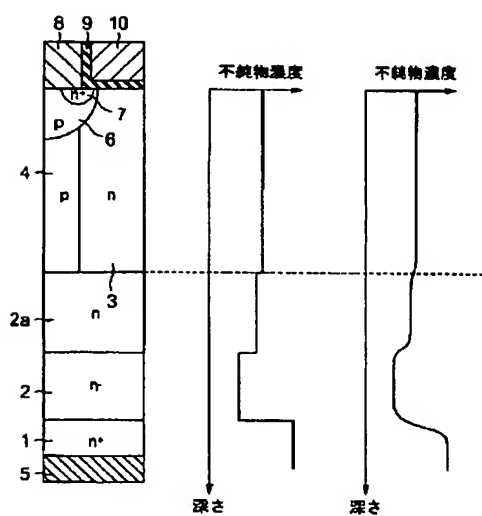
【図16】



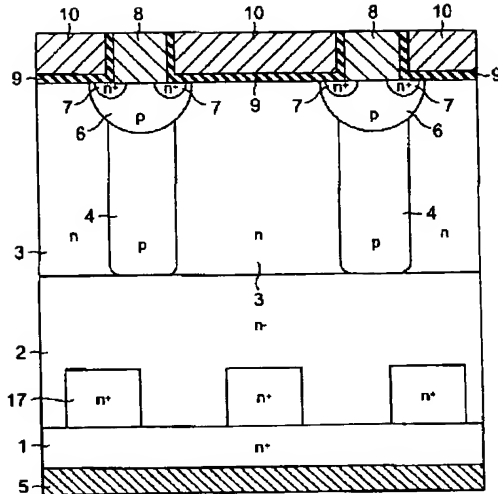
【図9】



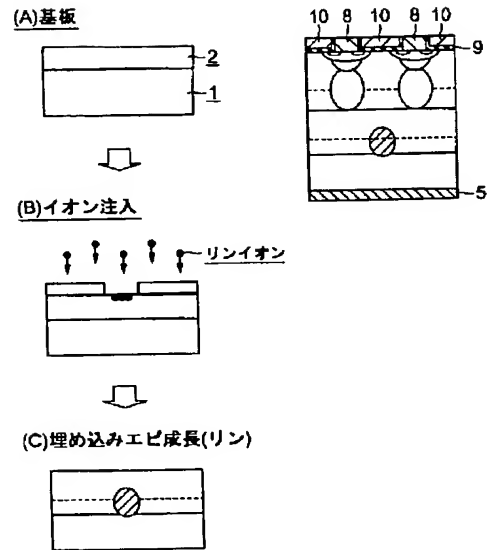
【图 12】



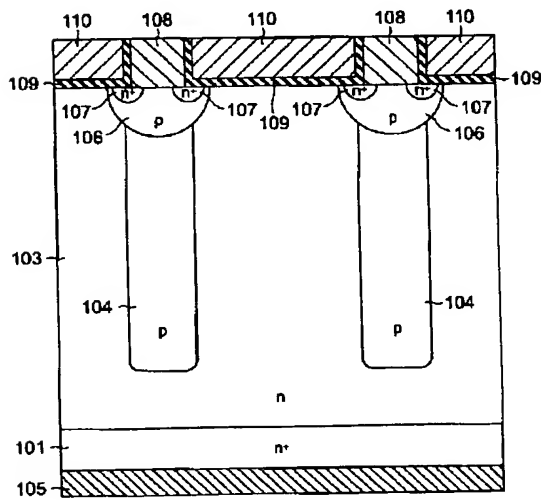
【図13】



【図14】



【図18】



フロントページの続き

(72)発明者 大村 一郎
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 山口 正一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 相田 聡

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 小野 昇太郎

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) 5F140 AA00 AA30 AC21 AC23 AC24
BA02 BA06 BF43 BH01 BH12
BH13 BH30 BH34

THIS PAGE BLANK (U)